

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-111792

(43)Date of publication of application : 08.04.2004

(51)Int.Cl.

H01L 23/12  
H01L 27/14  
H04N 5/335

(21)Application number : 2002-274807

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 20.09.2002

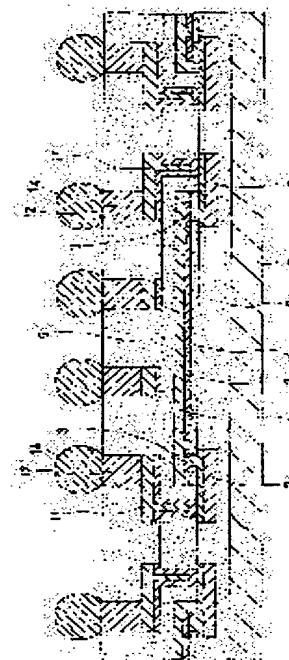
(72)Inventor : SADABETTO HIROYASU

**(54) SEMICONDUCTOR PACKAGE AND ITS MANUFACTURING METHOD**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To make thin a semiconductor package having a photoelectric conversion region such as a CCD, and to improve its productivity.

**SOLUTION:** On a transparent adhesive layer 8 on a glass substrate 9 having a size in response to a plurality of semiconductor packages, silicon substrates 1 each having a photoelectric conversion region in the undersurface are adhered away from each other. Under the peripheral part of the undersurface of each silicon substrate 1 and its surrounding part, connecting wiring 7 connected to a connection pad 3 of the silicon substrate 1 is arranged. After an insulating film 6, rewiring 11, columnar electrodes 12, a sealing film 13 and solder balls 14 are formed, the package is cut between the silicon substrates 1 into the plurality of semiconductor packages each having a photoelectric conversion region 2.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]

The semiconductor package characterized by to provide the connecting means by which a part extends around said semi-conductor substrate, and connects electrically said connection pad and said external electrode with the semi-conductor substrate which has the connection pad connected to this device field while having a device field in the field of 1, the support substrate formed in the field side of 1 of this semi-conductor substrate, and the external electrode prepared in the field side of everything but said semi-conductor substrate.

[Claim 2]

It is the semiconductor package which sets to invention according to claim 1, and is characterized by said connecting means including rewiring which extended to the field side of everything but said semi-conductor substrate.

[Claim 3]

Said connecting means is a semiconductor package characterized by having wiring for connection with which the end section was connected to said connection pad in invention according to claim 1, and the other end extended around said semi-conductor substrate.

[Claim 4]

It is the semiconductor package characterized by including the metal layer in which said wiring for connection was formed by plating in invention according to claim 3.

[Claim 5]

It is the semiconductor package characterized by having the part which sticks said wiring for connection to the field of 1 of said semi-conductor substrate in invention according to claim 3.

[Claim 6]

It is the semiconductor package characterized by sticking said wiring for connection to said support substrate in invention according to claim 3, and being formed.

[Claim 7]

The semiconductor package characterized by having the connection electrode of the letter of a projection between said connection pad and said wiring for connection in invention according to claim 3.

[Claim 8]

The semiconductor package characterized by preparing the insulator layer between other fields of said semi-conductor substrate which includes said wiring for connection which extended around said semi-conductor substrate in invention according to claim 3, and said rewiring.

[Claim 9]

It is the semiconductor package characterized by preparing said connecting means in an opposed face with said semi-conductor substrate of said support substrate in invention according to claim 2, connecting the end section to said connection pad, having wiring for connection with which the other end extended around said semi-conductor substrate, and the pillar-shaped electrode prepared on the other end of this wiring for connection, and connecting said rewiring to said pillar-shaped electrode.

[Claim 10]

The semiconductor package characterized by preparing the insulator layer between other fields of said semi-conductor substrate which contains said wiring for connection with which it extended around said semi-conductor substrate, and said pillar-shaped electrode in invention according to claim 9, and said rewiring.

[Claim 11]

The semiconductor package characterized by preparing said external electrode on the connection pad section of said rewiring, and preparing the insulator layer in invention according to claim 2 so that the field side of everything but said semi-conductor substrate which includes said rewiring except for this external electrode may be covered.

[Claim 12]

It is the semiconductor package characterized by said external electrode being pillar-shaped in invention according to claim 11, and preparing the solder ball on the external electrode of the shape of this column.

[Claim 13]

It is the semiconductor package characterized by said device field being a photo-electric-conversion device field in invention according to claim 1.

[Claim 14]

It is the semiconductor package characterized by said support substrate being a glass substrate in invention according to claim 1.

[Claim 15]

The semiconductor package characterized by preparing a transparence glue line or the transparence closure film between said semi-conductor substrates and said glass substrates in invention according to claim 14.

[Claim 16]

The process formed so that it may extend on the outside of said connection pad with which two or more wiring for connection is connected to said connection pad which corresponds the one edge each, and each of that other end corresponds on the field of 1 of the semi-conductor substrate of a wafer condition which has the connection pad of each plurality connected to this each device field while having two or more device fields in the field of 1,

The process which arranges a support substrate to the field of 1 of said semi-conductor substrate including said two or more wiring for connection,

The process at which said semi-conductor substrate in the part corresponding to each other end of said wiring for connection of two or more is removed at least in between said device fields, and each other end of said wiring for connection of two or more is exposed,

The process which forms the external electrode electrically connected to the other end of each of said electrode for connection,

The manufacture approach of the semiconductor package characterized by having the process which obtains two or more semiconductor packages which have said semi-conductor substrate which cut said support substrate between said device fields, and was equipped with said external electrode.

[Claim 17]

The manufacture approach of the semiconductor package characterized by having the process which grinds the field side of everything but said semi-conductor substrate, and thin-shape-izes said semi-conductor substrate in invention according to claim 16 before removing said semi-conductor substrate in the part corresponding to each other end of said wiring for connection of two or more at least in between said device fields.

[Claim 18]

The process which forms a pillar-shaped electrode on said wiring for connection formed in the perimeter of each of said semi-conductor substrate loading field while applying to the perimeter of each of this semi-conductor substrate loading field from the periphery in the semi-conductor substrate loading field of the plurality of the field of 1 of the

support substrate of the size corresponding to two or more semiconductor packages and forming wiring for connection, respectively,

The process which connects the connection electrode of each of said semi-conductor substrate to said wiring for connection of each formed in the periphery in each semi-conductor substrate loading field of said corresponding support substrate while arranging two or more semi-conductor substrates which have a connection electrode around this device field while each has a device field in an opposed face with said support substrate on the semi-conductor substrate loading field of the plurality of said support substrate, respectively,

The process which forms the external electrode electrically connected to said each pillar-shaped electrode,

The manufacture approach of the semiconductor package characterized by having the process which obtains two or more semiconductor packages which have said semi-conductor substrate which cut said support substrate between said semi-conductor substrates, and was equipped with said external electrode.

[Claim 19]

In invention according to claim 18, after arranging said two or more semi-conductor substrates on the semi-conductor substrate loading field of the plurality of said support substrate, respectively An insulator layer is formed so that other fields of said semi-conductor substrate containing said pillar-shaped electrode may be covered. The manufacture approach of the semiconductor package characterized by having the process at which the top face of said pillar-shaped electrode is exposed while grinding the front-face [ of this insulator layer ], and field side of everything but said semi-conductor substrate and thin-shape-izing said semi-conductor substrate.

[Claim 20]

It is the manufacture approach of the semiconductor package characterized by setting to invention according to claim 16 to 18, and for an external electrode forming rewiring which extends to the field side of everything but said semi-conductor substrate, and forming on this rewiring.

[Claim 21]

The manufacture approach of the semiconductor package characterized by having the process which forms an insulator layer so that the process [ which forms said external electrode on the connection pad section of said rewiring ], and field side of everything but said semi-conductor substrate which includes said rewiring except for this external electrode may be covered in invention according to claim 20.

[Claim 22]

The manufacture approach of the semiconductor package characterized by having the process which forms a solder ball on said external electrode in invention according to claim 21.

[Claim 23]

It is the manufacture approach of the semiconductor package characterized by said device field being a photo-electric-conversion device field in invention according to claim 16 to 18.

[Claim 24]

It is the manufacture approach of the semiconductor package characterized by said support substrate being a glass substrate in invention according to claim 16 to 18.

[Claim 25]

The manufacture approach of the semiconductor package characterized by having the process which forms a transparence glue line or the transparence closure film between said semi-conductor substrates and said glass substrates in invention according to claim 24.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to a semiconductor package and its manufacture approach.

[0002]

[Description of the Prior Art]

As a thing about the conventional semiconductor package and the semi-conductor substrate with which light-sensitive nature components, such as CCD (charge-coupled device) or a transistor, were especially formed in the principal plane side A leadframe and a window frame fix through low melting glass on a ceramic substrate. after a CCD long chip is fixed on a ceramic substrate, the electrode on a CCD long chip, and an internal lead and an internal lead point with a crevice are electrically connected with a metal thin line, and the cap is fixed through heat-curing mold resin (for example, patent reference 1 reference --).

It is an integrated-circuit die for EPROM, CCD, and other optical IC devices, and has the substrate which metalized Bahia penetrates. Moreover, this integrated-circuit die Attach in the 1st front face of this substrate, and it connects with metalized Bahia electrically. An adhesive beat is applied to the surrounding substrate of this die. This beat The side face of a die, cover the periphery of the 1st front face of a die top, and a bonding wire, the die in the cavity formed in the beat is made to deposit the layer of a transparent enclosure ingredient, this enclosure ingredient is hardened, and there are some which form the outside front face of a package (for example, patent reference 2 reference --).

[0003]

[Patent reference 1]

JP,4-246852,A (the 1st page, drawing 1)

[Patent reference 2]

\*\* table No. 516956 [ 2001 to ] official report (the 1st page, drawing 1 )

[0004]

[Problem(s) to be Solved by the Invention]

By the way, in the conventional semiconductor package of the above-mentioned preceding paragraph, since it had the external lead, there was a problem of forming a thick mold. On the other hand, since it had the substrate which metalized Bahia penetrates (i.e., since the substrate has the through hole flow section with double-sided wiring structure), in the conventional semiconductor package of the above-mentioned latter part, formation of the through hole flow section is serious, and there was a problem [ be / a substrate / a glass substrate ] that formation of the through hole flow section was very difficult, especially by it. Moreover, since it was the approach of carrying one die at a time on a substrate, productivity was low.

Then, this invention does not have the through hole flow section, but aims at offering the semiconductor package which can be thin-shape-ized, and its manufacture approach. Moreover, this invention aims at offering the manufacture approach of the semiconductor package which can manufacture two or more semiconductor packages collectively.

[0005]

[Means for Solving the Problem]

The semi-conductor substrate which has the connection pad connected to this device field while invention according to claim 1 has a device field in the field of 1, It is characterized by providing the support substrate formed in the field side of 1 of this semi-conductor substrate, the external electrode prepared in the field side of everything but said semi-conductor substrate, and the connecting means which a part extends around said semi-conductor substrate, and connects said connection pad and said external electrode electrically.

Invention according to claim 2 is characterized by setting to invention according to claim 1, and said connecting means including rewiring which extended to the field side of everything but said semi-conductor substrate.

In invention according to claim 1, it connects with said connection pad and, as for invention according to claim 3, the end section is characterized by the other end having wiring for connection with which it extended around said semi-conductor substrate, as for said connecting means.

Invention according to claim 4 is characterized by said wiring for connection containing the metal layer formed by plating in invention according to claim 3.



Invention according to claim 5 is characterized by said wiring for connection having the part stuck to the field of 1 of said semi-conductor substrate in invention according to claim 3.

Invention according to claim 6 is characterized by sticking said wiring for connection to said support substrate, and being formed in invention according to claim 3.

Invention according to claim 7 is characterized by having the connection electrode of the letter of a projection between said connection pad and said wiring for connection in invention according to claim 3.

Invention according to claim 8 is characterized by preparing the insulator layer between other fields of said semi-conductor substrate including said wiring for connection which extended around said semi-conductor substrate, and said rewiring in invention according to claim 3.

Invention according to claim 9 is set to invention according to claim 2. Said connecting means Wiring for connection with which it was prepared in the opposed face with said semi-conductor substrate of said support substrate, the end section was connected to said connection pad, and the other end extended around said semi-conductor substrate, It has the pillar-shaped electrode prepared on the other end of this wiring for connection, and is characterized by connecting said rewiring to said pillar-shaped electrode.

Invention according to claim 10 is characterized by preparing the insulator layer between other fields of said semi-conductor substrate containing said wiring for connection with which it extended around said semi-conductor substrate, and said pillar-shaped electrode, and said rewiring in invention according to claim 9.

Invention according to claim 11 is characterized by preparing said external electrode on the connection pad section of said rewiring, and preparing the insulator layer so that the field side of everything but said semi-conductor substrate which includes said rewiring except for this external electrode may be covered in invention according to claim 2.

In invention according to claim 11, invention according to claim 12 of said external electrode is pillar-shaped, and is characterized by preparing the solder ball on the external electrode of the shape of this column.

Invention according to claim 13 is characterized by said device field being a photo-electric-conversion device field in invention according to claim 1.

Invention according to claim 14 is characterized by said support substrate being a glass substrate in invention according to claim 1.

Invention according to claim 15 is characterized by preparing a transparence glue line or the transparence closure film between said semi-conductor substrates and said glass

substrates in invention according to claim 14.

Invention according to claim 16 While having two or more device fields in the field of 1 The process formed so that it may extend on the outside of said connection pad with which two or more wiring for connection is connected to said connection pad which corresponds the one edge each, and each of that other end corresponds on the field of 1 of the semi-conductor substrate of a wafer condition which has the connection pad of each plurality connected to this each device field, The process which arranges a support substrate to the field of 1 of said semi-conductor substrate including said two or more wiring for connection, The process at which said semi-conductor substrate in the part corresponding to each other end of said wiring for connection of two or more is removed at least in between said device fields, and each other end of said wiring for connection of two or more is exposed, It is characterized by having the process which obtains two or more processes which form the external electrode electrically connected to the other end of each of said electrode for connection, and semiconductor packages which have said semi-conductor substrate which cut said support substrate between said device fields, and was equipped with said external electrode.

In invention according to claim 16, before invention according to claim 17 removes said semi-conductor substrate in the part corresponding to each other end of said wiring for connection of two or more at least in between said device fields, it is characterized by having the process which grinds the field side of everything but said semi-conductor substrate, and thin-shape-izes said semi-conductor substrate.

Invention according to claim 18 While applying to the perimeter of each of this semi-conductor substrate loading field from the periphery in the semi-conductor substrate loading field of the plurality of the field of 1 of the support substrate of the size corresponding to two or more semiconductor packages and forming wiring for connection, respectively The process which forms a pillar-shaped electrode on said wiring for connection formed in the perimeter of each of said semi-conductor substrate loading field, While arranging two or more semi-conductor substrates which have a connection electrode around this device field while each has a device field in an opposed face with said support substrate on the semi-conductor substrate loading field of the plurality of said support substrate, respectively The process which connects the connection electrode of each of said semi-conductor substrate to said each wiring for connection formed in the periphery in each semi-conductor substrate loading field of said corresponding support substrate, It is characterized by having the process which obtains two or more processes which form the external electrode electrically connected to said each pillar-shaped electrode, and semiconductor packages which have said

semi-conductor substrate which cut said support substrate between said semi-conductor substrates, and was equipped with said external electrode.

In invention according to claim 18, after invention according to claim 19 arranges said two or more semi-conductor substrates on the semi-conductor substrate loading field of the plurality of said support substrate, respectively While an insulator layer is formed so that other fields of said semi-conductor substrate containing said pillar-shaped electrode may be covered, and grinding the front-face [ of this insulator layer ], and field side of everything but said semi-conductor substrate and thin-shape-izing said semi-conductor substrate, it is characterized by having the process at which the top face of said pillar-shaped electrode is exposed.

Invention according to claim 20 is characterized by setting to invention according to claim 16 to 18, and for an external electrode forming rewiring which extends to the field side of everything but said semi-conductor substrate, and forming on this rewiring.

Invention according to claim 21 is characterized by having the process which forms an insulator layer so that the process [ which forms said external electrode on the connection pad section of said rewiring ], and field side of everything but said semi-conductor substrate which includes said rewiring except for this external electrode may be covered in invention according to claim 20.

Invention according to claim 22 is characterized by having the process which forms a solder ball on said external electrode in invention according to claim 21.

Invention according to claim 23 is characterized by said device field being a photo-electric-conversion device field in invention according to claim 16 to 18.

Invention according to claim 24 is characterized by said support substrate being a glass substrate in invention according to claim 16 to 18.

Invention according to claim 25 is characterized by having the process which forms a transparence glue line or the transparence closure film between said semi-conductor substrates and said glass substrates in invention according to claim 24.

And since according to this invention the support substrate was formed in the field side of 1 of a semi-conductor substrate which has the connection pad connected to this device field and the external electrode is prepared in other field side while having a device field in the field of 1 Since a part of connecting means which can thin-shape-ize and connects a connection pad and an external electrode electrically is made to extend around a semi-conductor substrate, it can consider as the structure where it does not have the through hole flow section. Moreover, since it can carry out by putting in block formation of a connecting means and an external electrode to two or more semi-conductor substrates, productivity can be improved.

[0006]

[Embodiment of the Invention]

(The 1st operation gestalt)

Drawing 1 shows the sectional view of the semiconductor package as the 1st operation gestalt of this invention. This semiconductor package is equipped with the silicon substrate (semi-conductor substrate) 1. The photo-electric-conversion device field 2 containing components, such as CCD, and a photodiode, a photo transistor, is established in the inferior-surface-of-tongue center section of the silicon substrate 1.

[0007]

It connects with the photo-electric-conversion device field 2, and two or more connection pads 3 which consist of an aluminum system metal etc. are formed in the inferior-surface-of-tongue periphery of a silicon substrate 1. The insulator layer 4 which consists of silicon oxide etc. is formed in the inferior surface of tongue of the silicon substrate 1 except the center section of the connection pad 3. The center section of the connection pad 3 is exposed through the opening 5 formed in the insulator layer 4.

[0008]

The insulator layer 6 which consists of polyimide etc. is formed in the top face of a silicon substrate 1, and its perimeter. In this case, the inferior surface of tongue of an insulator layer 6 established in the perimeter of a silicon substrate 1 is almost flat-tapped with the inferior surface of tongue of an insulator layer 4 established in the inferior surface of tongue of a silicon substrate 1.

[0009]

The wiring 7 for connection which consists of upper metal layer 7b which was missing from the predetermined part of the inferior surface of tongue of the insulator layer 6 in the perimeter from the inferior surface of tongue of the connection pad 3 exposed through the opening 5 of an insulator layer 4, and was prepared in the bottom of substrate metal layer 7a and this substrate metal layer 7a is formed. That is, the end section of the wiring 7 for connection was connected to the connection pad 3 of a silicon substrate 1, and the other end has extended around the silicon substrate 1.

[0010]

The glass substrate 9 as a support substrate is formed in the silicon substrate 1 including the wiring 7 for connection, and the inferior surface of tongue of an insulator layer 6 through the transparence glue line 8 which consists of transparent epoxy system resin etc. Therefore, the size of a glass substrate 9 is a little larger than the size of a silicon substrate 1.

[0011]

Opening 10 is formed in the part corresponding to the other end of the wiring 7 for connection of an insulator layer 6. The rewiring 11 which consists of upper metal layer 11b which was missing from the predetermined part of the top face of an insulator layer 6 from the other end top face of the wiring 7 for connection exposed through opening 10, and was prepared on substrate metal layer 11a and this substrate metal layer 11a is formed.

[0012]

The pillar-shaped electrode (external electrode) 12 is formed in the connection pad section top face of rewiring 11. It is prepared in the top face of the insulator layer 6 including rewiring 11 so that the closure film (insulator layer) 13 which consists of epoxy system resin etc. may become almost flat-tapped [ the top face ] with the top face of the pillar-shaped electrode 12. The solder ball 14 is formed in the top face of the pillar-shaped electrode 12.

[0013]

Next, an example of the manufacture approach of this semiconductor package is explained. First, as shown in drawing 2 , the insulator layer 4 which consists of the connection pad 3 and silicon oxide which consist of two or more photo-electric-conversion device fields 2 and aluminum is formed on the silicon substrate (semi-conductor substrate) 1 of a wafer condition, and that to which the center section of the connection pad 3 was exposed through the opening 5 formed in the insulator layer 4 is prepared. In this case, the thickness of a silicon substrate 1 is to some extent thicker than the case where it is shown in drawing 1 .

[0014]

Next, as shown in drawing 3 , substrate metal layer 7a is formed in the whole top face of the insulator layer 4 including the top face of the connection pad 3 exposed through opening 5. In this case, although substrate metal layer 7a consists only of a copper layer formed of electroless deposition, it may be only the copper layer formed of the spatter, and may form a copper layer by the spatter on thin film layers, such as titanium formed of the spatter. As for this, the same is said of the case of substrate metal layer 11a mentioned later.

[0015]

Next, pattern formation of the plating resist film 21 is carried out to the top face of substrate metal layer 7a. In this case, opening 22 is formed in the plating resist film 21 in the part corresponding to the wiring 7 formation field for connection. Next, upper metal layer 7b is formed in the top face of substrate metal layer 7a in the opening 22 of the plating resist film 21 by performing copper electrolytic plating by making substrate

metal layer 7a into a plating current path.

[0016]

Next, when the unnecessary part of substrate metal layer 7a is subsequently etched and removed by using upper metal layer 7b as a mask, as it exfoliates the plating resist film 21, and it is shown in drawing 4 Substrate metal layer 7a remains only under upper metal layer 7b, and the wiring 7 for connection is formed of upper metal layer 7b formed in this whole substrate metal layer 7a which remained and its whole top face.

[0017]

Next, as shown in drawing 5 , a glass substrate 9 is stuck on the whole top face of the insulator layer 4 including the wiring 7 for connection through the transparence glue line 8 which consists of transparent epoxy system resin etc. Next, although shown in drawing 5 , the upper and lower sides are reversed, subsequently to drawing 6 , with photo-electric-conversion device field 2 forming face of a silicon substrate 1, the top face of the opposite side is ground suitably and a silicon substrate 1 is thin-shape-ized so that it may be shown. For example, it is made for the thickness of a silicon substrate 1 to be set to about 50 micrometers.

[0018]

Next, as shown in drawing 7 , dicing, etching, etc. remove the insulator layer 4 of the unnecessary part which is not equivalent to the silicon substrate 1 shown in drawing 1 of the silicon substrates 1 of wafer size, and its inferior surface of tongue. Therefore, in this condition, it is exposed and the top face of the wiring 7 for connection arranged around a silicon substrate 1 and the transparence glue line 8 becomes almost flat-tapped [ this exposure ] with the inferior surface of tongue of an insulator layer 4.

[0019]

Next, as shown in drawing 8 , pattern formation of the insulator layer 6 which becomes the whole top face of the silicon substrate 1 containing the wiring 7 for connection and the transparence glue line 8 which have been arranged around a silicon substrate 1 from photosensitive polyimide etc. is carried out. In this case, opening 10 is formed in the part corresponding to the other end of the wiring 7 for connection of an insulator layer 6.

[0020]

Next, as shown in drawing 9 , substrate metal layer 11a is formed in the whole top face of the insulator layer 6 containing the other end of the wiring 7 for connection exposed through opening 10 by electroless deposition. Next, pattern formation of the plating resist film 23 is carried out to the top face of substrate metal layer 11a. In this case, opening 24 is formed in the plating resist film 23 in the part corresponding to a rewiring

11 formation field. Next, upper metal layer 11b is formed in the top face of substrate metal layer 11a in the opening 24 of the plating resist film 23 by performing copper electrolytic plating by making substrate metal layer 11a into a plating current path. Next, the plating resist film 23 is exfoliated.

[0021]

Next, as shown in drawing 10 , pattern formation of the plating resist film 25 is carried out to the top face of substrate metal layer 7a containing upper metal layer 7b. In this case, opening 26 is formed in the plating resist film 25 in the part corresponding to a pillar-shaped electrode 12 formation field. Next, the pillar-shaped electrode 12 is formed in the connection pad section top face of upper metal layer 11b in the opening 26 of the plating resist film 25 by performing copper electrolytic plating by making substrate metal layer 11a into a plating current path.

[0022]

Next, when the unnecessary part of substrate metal layer 11a is subsequently etched and removed by using the pillar-shaped electrode 12 and upper metal layer 11b as a mask, as it exfoliates the plating resist film 25, and it is shown in drawing 11 Substrate metal layer 11a remains only under upper metal layer 11b, and rewiring 11 is formed of upper metal layer 11b formed in this whole substrate metal layer 11a which remained and its whole top face.

[0023]

Next, as shown in drawing 12 , the closure film 13 which becomes the whole top face of the insulator layer 6 including the pillar-shaped electrode 12 and rewiring 11 from epoxy system resin is formed so that the thickness may become thicker than the height of the pillar-shaped electrode 12. Therefore, in this condition, the top face of the pillar-shaped electrode 12 is covered with the closure film 13. Next, as the top-face side of the closure film 13 and the pillar-shaped electrode 12 is ground suitably and it is shown in drawing 13 , flattening of the top face of the closure film 13 which is made to expose the top face of the pillar-shaped electrode 12, and includes the top face of this exposed pillar-shaped electrode 12 is carried out.

[0024]

Next, as shown in drawing 14 , the solder ball 14 is formed in the top face of the pillar-shaped electrode 12. In this case, in order to secure the bonding strength of the pillar-shaped electrode 12 and the solder ball 14, before forming the solder ball 14, etching may remove the burr produced on the front face of the pillar-shaped electrode 12, or plating processing for antioxidizing or fluxing may be pretreated. The same side is mostly maintainable even if some top faces of the pillar-shaped electrode 12 and top

faces of the closure film 13 produce irregularity by this pretreatment.

[0025]

Next, if the closure film 13, an insulator layer 6, the transparency glue line 8, and a glass substrate 9 are cut between the silicon substrates 1 which adjoin mutually as shown in drawing 15, two or more semiconductor packages shown in drawing 1 will be obtained.

[0026]

Thus, in the obtained semiconductor package, since the glass substrate 9 as a sheathing substrate was formed in photo-electric-conversion device 2 forming face of a silicon substrate 1 through the transparency glue line 8 and an insulator layer 6, rewiring 11, the pillar-shaped electrode 12, the closure film 13, and the solder ball 14 are formed in the field of the opposite side with photo-electric-conversion device 2 forming face of a silicon substrate 1, it can thin-shape-ize as compared with the case where it has an external lead.

[0027]

Moreover, since the other end of the wiring 7 for connection which connects electrically the connection pad 3 and rewiring 11 of a silicon substrate 1 is prepared in the perimeter of a silicon substrate 1, it can consider as the structure where it does not have the through hole flow section.

[0028]

moreover, since it has the pillar-shaped electrode 12, after carrying this semiconductor package on the circuit board (not shown) through the solder ball 14, it is the pillar-shaped electrode 12 about the stress resulting from the coefficient-of-thermal-expansion difference of a silicon substrate 1 and the circuit board -- extent relaxation can be carried out.

[0029]

Furthermore, by the above-mentioned manufacture approach, since it carried out by having put in block formation of formation of the wiring 7 for connection, attachment of the glass substrate 9 through the transparency glue line 8, an insulator layer 6, rewiring 11, the pillar-shaped electrode 12, the closure film 13, and the solder ball 14 to the silicon substrate 1 of a wafer condition, it divided after that and two or more semiconductor packages have been obtained, productivity can be improved.

[0030]

In addition, although the silicon substrate 1 was formed for the wiring 7 for connection connected to two or more connection pads 3 prepared in the silicon substrate 1 which has the photo-electric-conversion device field 2 as a base member with the



above-mentioned 1st operation gestalt, the wiring 7 for connection is beforehand formed in the glass substrate 9, and two or more connection pads 3 prepared in the silicon substrate 1 which has the photo-electric-conversion device field 2 in this wiring 7 for connection can also connect. Hereafter, 1 operation gestalt of such an approach is shown.

[0031]

(The 2nd operation gestalt)

Drawing 16 shows the sectional view of the semiconductor package as the 2nd operation gestalt of this invention. The main description of this semiconductor package is connected on the end section of the wiring 7 for connection which consists of substrate metal layer 7a and upper metal layer 7b in which the bump electrode (connection electrode) 31 prepared on the substrate metal layer 30 prepared on the connection pad 3 of a silicon substrate 1 was formed on the glass substrate 9. The transparence closure film 32 which consists of transparent epoxy system resin etc. is formed between a silicon substrate 1 and a glass substrate 9. It is having connected the rewiring 11 which consists of substrate metal layer 11a and upper metal layer 11b on the pillar-shaped electrode 33 prepared on the other end of the wiring 7 for connection, and having covered the wiring 7 for connection and the pillar-shaped electrode 33 in the perimeter of a silicon substrate 1 by the closure film (insulator layer) 34 which consists of epoxy system resin etc.

[0032]

Next, an example of the manufacture approach of this semiconductor package is explained. If the size corresponding to two or more semiconductor packages and one suitable example are given as first shown in drawing 17 Like the 1st operation gestalt on the top face of the glass substrate 9 of the size corresponding to the magnitude of a wafer The wiring 7 for connection which consists of substrate metal layer 7a and upper metal layer 7b, respectively It forms so that it may extend in the periphery section from the location corresponding to each connection pad 3 connected to the photo-electric-conversion device field 2 established in the above-mentioned wafer, and the pillar-shaped electrode 33 is succeedingly formed on the end section by the side of the periphery section of each wiring 7 for connection.

[0033]

The formation approach of the wiring 7 for connection and the pillar-shaped electrode 33 can apply the approach explained about drawing 11 . In drawing 17 , the silicon substrate loading field in which the silicon substrate in which each connection pad 3 connected to the photo-electric-conversion device field 2 was formed is carried is prepared among 1 set each of the electrode 7 for connection with which the

pillar-shaped electrode 33 was formed.

[0034]

Next, as shown in drawing 18 , a silicon substrate 1 is carried, respectively on two or more semi-conductor substrate loading fields of a glass substrate 9, and it connects with each wiring 7 for connection. However, on the silicon substrate 1, the substrate metal layer 30 and the bump electrode 31 are formed in this case on each connection pad 4 besides the photo-electric-conversion device field 2, each connection pad 3, and an insulator layer 4. What is necessary is just to form the substrate metal layer 30 and the bump electrode 31 by the already learned approach.

[0035]

And bonding of the bump electrode 31 prepared in the inferior-surface-of-tongue periphery of a silicon substrate 1 is carried out on the wiring 7 for connection formed in the periphery in a silicon substrate loading field, and it connects. Also in this case, the thickness of a silicon substrate 1 is to some extent thicker than the case where it is shown in drawing 16 . Moreover, only an excellent article is used in this case as a silicon substrate 1 equipped with the photo-electric-conversion device field 2 grade. Next, the closure film 32 which consists of transparent epoxy system resin is filled up with and formed between a silicon substrate 1 and a glass substrate 9.

[0036]

Next, as shown in drawing 19 , the whole top face of the glass substrate 9 containing a silicon substrate 1, the wiring 7 for connection, and the pillar-shaped electrode 33 is covered by the closure film 34 which consists of epoxy system resin. Next, the closure film 34, silicon substrate 1, and top-face side of the pillar-shaped electrode 33 is ground suitably, and as shown in drawing 20 , while exposing a silicon substrate 1 and the top face of the pillar-shaped electrode 33, flattening of the top face of the closure film 34 which thin-shape-izes a silicon substrate 1, and includes the top face of the silicon substrate 1 and the pillar-shaped electrode 33 which were exposed is carried out.

[0037]

Next, as shown in drawing 21 , pattern formation of the insulator layer 6 which becomes the whole top face of a silicon substrate 1, the pillar-shaped electrode 33, and the closure film 34 from photosensitive polyimide etc. is carried out. In this case, opening 10 is formed in the part corresponding to the top-face center section of the pillar-shaped electrode 33 of an insulator layer 6.

[0038]

Next, by passing through the production process shown in drawing 9 - drawing 14 , respectively, as shown in drawing 22 , the rewiring 11 which consists of substrate metal

layer 11a and upper metal layer 11b, the pillar-shaped electrode 12, the closure film 13, and the solder ball 14 are formed. In this case, rewiring 11 is connected to the top face of the pillar-shaped electrode 33 through opening 10. Next, if the closure film 13, an insulator layer 6, the closure film 34, and a glass substrate 9 are cut between the silicon substrates 1 which adjoin mutually as shown in drawing 23, two or more semiconductor packages shown in drawing 16 will be obtained.

[0039]

Thus, in the obtained semiconductor package, since the glass substrate 9 as a sheathing substrate was formed in photo-electric-conversion device 2 forming face of a silicon substrate 1 through the transparence closure film 32 and an insulator layer 6, rewiring 11, the pillar-shaped electrode 12, the closure film 13, and the solder ball 14 are formed in the field of the opposite side with photo-electric-conversion device 2 forming face of a silicon substrate 1, it can thin-shape-ize as compared with the case where it has an external lead.

[0040]

Moreover, since the part and the pillar-shaped electrode 33 of the wiring 7 for connection which connect electrically the connection pad 3 and rewiring 11 of a silicon substrate 1 are prepared in the perimeter of a silicon substrate 1, it can consider as the structure where it does not have the through hole flow section in supporter material.

[0041]

moreover, since it has the pillar-shaped electrode 12, after carrying this semiconductor package on the circuit board (not shown) through the solder ball 14, it is the pillar-shaped electrode 12 about the stress resulting from the coefficient-of-thermal-expansion difference of a silicon substrate 1 and the circuit board -- extent relaxation can be carried out.

[0042]

Furthermore, by the above-mentioned manufacture approach, since it carried out to the glass substrate 9 of the size corresponding to two or more semiconductor packages by having put in block formation of formation of the wiring 7 for connection, and the pillar-shaped electrode 33, loading of a silicon substrate 1, the transparence closure film 32, the closure film 34, an insulator layer 6, rewiring 11, the pillar-shaped electrode 12, the closure film 13, and the solder ball 14, it divided after that and two or more semiconductor packages have been obtained, productivity can be improved.

[0043]

(Other operation gestalten)

Although the solder ball 14 is formed with each above-mentioned operation gestalt on

the pillar-shaped electrode 12 prepared on the connection pad section of rewiring 11, it is not limited to this. For example, pattern formation of the insulator layer 42 which has opening 41 is carried out to the part corresponding to the connection pad section of rewiring 11 on the whole top face of the insulator layer 6 including rewiring 11, and it is made to connect with the connection pad section of rewiring 11, and you may make it form the solder ball 14 in opening 42 and on it like other operation gestalten of this invention shown in drawing 24.

[0044]

Moreover, with each above-mentioned operation gestalt, although the photo-electric-conversion device shall be formed in a semi-conductor substrate, it is applicable not only to a photo-electric-conversion device but the device with which an integrated circuit or a sensor component the object for memory and for control etc. is formed.

[0045]

[Effect of the Invention]

Since according to this invention the support substrate was formed in the field side of 1 of a semi-conductor substrate which has the connection pad connected to this device field and the external electrode is provided in other field side while having a device field in the field of 1 as explained above Since a part of connecting means which can thin-shape-ize and connects a connection pad and an external electrode electrically is made to extend around a semi-conductor substrate, it can consider as the structure where it does not have the through hole flow section. Moreover, since it can carry out by putting in block formation of a connecting means and an external electrode to two or more semi-conductor substrates, productivity can be improved.

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the semiconductor package as the 1st operation gestalt of this invention.

[Drawing 2] It is a sectional view although prepared at the beginning in an example of the manufacture approach of a semiconductor package shown in drawing 1.

[Drawing 3] The sectional view of the production process following drawing 2.

[Drawing 4] The sectional view of the production process following drawing 3.

[Drawing 5] The sectional view of the production process following drawing 4.

[Drawing 6] The sectional view of the production process following drawing 5.

[Drawing 7] The sectional view of the production process following drawing 6.

[Drawing 8] The sectional view of the production process following drawing 7.

[Drawing 9] The sectional view of the production process following drawing 8.

[Drawing 10] The sectional view of the production process following drawing 9 .

[Drawing 11] The sectional view of the production process following drawing 10 .

[Drawing 12] The sectional view of the production process following drawing 11 .

[Drawing 13] The sectional view of the production process following drawing 12 .

[Drawing 14] The sectional view of the production process following drawing 13 .

[Drawing 15] The sectional view of the production process following drawing 14 .

[Drawing 16] The sectional view of the semiconductor package as the 2nd operation gestalt of this invention.

[Drawing 17] It sets to an example of the manufacture approach of a semiconductor package shown in drawing 16 , and is the sectional view of the original production process.

[Drawing 18] The sectional view of the production process following drawing 17 .

[Drawing 19] The sectional view of the production process following drawing 18 .

[Drawing 20] The sectional view of the production process following drawing 19 .

[Drawing 21] The sectional view of the production process following drawing 20 .

[Drawing 22] The sectional view of the production process following drawing 21 .

[Drawing 23] The sectional view of the production process following drawing 22 .

[Drawing 24] The sectional view of the semiconductor package as other operation gestalten of this invention.

[Description of Notations]

- 1 Silicon Substrate
- 2 Photo-Electric-Conversion Device Field
- 3 Connection Pad
- 4 Insulator Layer
- 6 Insulator Layer
- 7 Wiring for Connection
- 8 Transparence Glue Line
- 9 Glass Substrate
- 11 Rewiring
- 12 Pillar-shaped Electrode
- 13 Closure Film
- 14 Solder Ball
- 31 Bump Electrode
- 32 Closure Film
- 33 Pillar-shaped Electrode
- 34 Closure Film

---

[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-111792

(P2004-111792A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl.<sup>7</sup>

H01L 23/12

H01L 27/14

H04N 5/335

F I

H01L 23/12

H04N 5/335

H01L 27/14

501P

V

D

テーマコード(参考)

4M118

5C024

審査請求 未請求 請求項の数 25 O L (全 18 頁)

(21) 出願番号 特願2002-274807(P2002-274807)

(22) 出願日 平成14年9月20日(2002.9.20)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100073221

弁理士 花輪 義男

(72) 発明者 定別当 裕康

東京都八王子市石川町2951番地の5

カシオ計算機株式

会社八王子研究所内

Fターム(参考) 4M118 AA10 AB01 BA10 CA02 CA09

EA01 HA02 HA12 HA26 HA30

HA31

5C024 CY47 CY48 EX22 EX23 EX24

EX25 EX50 EX55

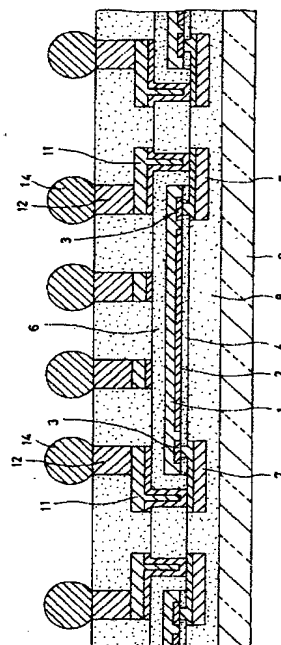
(54) 【発明の名称】 半導体パッケージおよびその製造方法

(57) 【要約】

【課題】 CCD等の光電変換デバイス領域を備えた半導体パッケージを薄型化し、且つ、その生産性を向上する。

【解決手段】 複数の半導体パッケージに対応するサイズガラス基板9上の透明接着層8上には、下面に光電変換デバイス領域2を有するシリコン基板1が相互に離間して接着されている。この場合、シリコン基板1の下面周辺部およびその周囲には接続用配線7がシリコン1の接続パッド3に接続されて設けられている。そして、絶縁膜6、再配線11、柱状電極12、封止膜13および半田ボール14を形成した後に、シリコン基板1間において切断し、光電変換デバイス領域2を備えた半導体パッケージを複数個得る。

【選択図】 図14



**【特許請求の範囲】****【請求項 1】**

一の面にデバイス領域を有するとともに該デバイス領域に接続される接続パッドを有する半導体基板と、該半導体基板の一の面側に設けられた支持基板と、前記半導体基板の他の面側に設けられた外部電極と、一部が前記半導体基板の周囲に延出され、前記接続パッドと前記外部電極とを電気的に接続する接続手段とを具備することを特徴とする半導体パッケージ。

**【請求項 2】**

請求項 1 に記載の発明において、前記接続手段は前記半導体基板の他の面側に延出された再配線を含むことを特徴とする半導体パッケージ。

10

**【請求項 3】**

請求項 1 に記載の発明において、前記接続手段は、一端部が前記接続パッドに接続され、他端部が前記半導体基板の周囲に延出された接続用配線を有することを特徴とする半導体パッケージ。

**【請求項 4】**

請求項 3 に記載の発明において、前記接続用配線はめっきにより形成された金属層を含むことを特徴とする半導体パッケージ。

**【請求項 5】**

請求項 3 に記載の発明において、前記接続用配線は前記半導体基板の一の面に密着する部分を有することを特徴とする半導体パッケージ。

20

**【請求項 6】**

請求項 3 に記載の発明において、前記接続用配線は前記支持基板に密着して形成されていることを特徴とする半導体パッケージ。

**【請求項 7】**

請求項 3 に記載の発明において、前記接続パッドと前記接続用配線との間に突起状の接続電極を有することを特徴とする半導体パッケージ。

**【請求項 8】**

請求項 3 に記載の発明において、前記半導体基板の周囲に延出された前記接続用配線を含む前記半導体基板の他の面と前記再配線との間に絶縁膜が設けられていることを特徴とする半導体パッケージ。

30

**【請求項 9】**

請求項 2 に記載の発明において、前記接続手段は、前記支持基板の前記半導体基板との対向面に設けられ、一端部が前記接続パッドに接続され、他端部が前記半導体基板の周囲に延出された接続用配線と、該接続用配線の他端部上に設けられた柱状電極とを有し、前記柱状電極に前記再配線が接続されていることを特徴とする半導体パッケージ。

**【請求項 10】**

請求項 9 に記載の発明において、前記半導体基板の周囲に延出された前記接続用配線および前記柱状電極を含む前記半導体基板の他の面と前記再配線との間に絶縁膜が設けられていることを特徴とする半導体パッケージ。

**【請求項 11】**

請求項 2 に記載の発明において、前記再配線の接続パッド部上に前記外部電極が設けられ、該外部電極を除いて前記再配線を含む前記半導体基板の他の面側を覆うように絶縁膜が設けられていることを特徴とする半導体パッケージ。

40

**【請求項 12】**

請求項 11 に記載の発明において、前記外部電極は柱状であり、該柱状の外部電極上に半田ボールが設けられていることを特徴とする半導体パッケージ。

**【請求項 13】**

請求項 1 に記載の発明において、前記デバイス領域は光電変換デバイス領域であることを特徴とする半導体パッケージ。

**【請求項 14】**

50



請求項 1 に記載の発明において、前記支持基板はガラス基板であることを特徴とする半導体パッケージ。

【請求項 1 5】

請求項 1 4 に記載の発明において、前記半導体基板と前記ガラス基板との間に透明接着層または透明封止膜が設けられていることを特徴とする半導体パッケージ。

【請求項 1 6】

一の面に複数のデバイス領域を有するとともに該各デバイス領域に接続されるそれぞれ複数の接続パッドを有するウエハ状態の半導体基板の一の面上に複数の接続用配線をその各一端部を対応する前記接続パッドに接続させて且つその各他端部が対応する前記接続パッドの外側に延出されるように形成する工程と、

10

前記複数の接続用配線を含む前記半導体基板の一の面に支持基板を配置する工程と、  
前記デバイス領域間において少なくとも前記複数の接続用配線の各他端部に対応する部分における前記半導体基板を除去して前記複数の接続用配線の各他端部を露出させる工程と

、  
前記各接続用電極の他端部に電氣的に接続される外部電極を形成する工程と、  
前記デバイス領域間における前記支持基板を切断して前記外部電極を備えた前記半導体基板を有する半導体パッケージを複数個得る工程とを有することを特徴とする半導体パッケージの製造方法。

【請求項 1 7】

請求項 1 6 に記載の発明において、前記デバイス領域間において少なくとも前記複数の接続用配線の各他端部に対応する部分における前記半導体基板を除去する前に、前記半導体基板の他の面側を研磨して前記半導体基板を薄型化する工程を有することを特徴とする半導体パッケージの製造方法。

20

【請求項 1 8】

複数の半導体パッケージに対応するサイズの支持基板の一の面の複数の半導体基板搭載領域内の周辺部から該各半導体基板搭載領域の周囲にかけてそれぞれ接続用配線を形成するとともに前記各半導体基板搭載領域の周囲に形成された前記接続用配線上に柱状電極を形成する工程と、

各々が前記支持基板との対向面にデバイス領域を有するとともに該デバイス領域の周囲に接続電極を有する複数の半導体基板を前記支持基板の複数の半導体基板搭載領域上にそれぞれ配置するとともに前記各半導体基板の接続電極を対応する前記支持基板の各半導体基板搭載領域内の周辺部に形成された前記各接続用配線に接続する工程と、

30

前記各柱状電極に電氣的に接続される外部電極を形成する工程と、  
前記半導体基板間における前記支持基板を切断して前記外部電極を備えた前記半導体基板を有する半導体パッケージを複数個得る工程とを有することを特徴とする半導体パッケージの製造方法。

【請求項 1 9】

請求項 1 8 に記載の発明において、前記複数の半導体基板を前記支持基板の複数の半導体基板搭載領域上にそれぞれ配置した後に、前記柱状電極を含む前記半導体基板の他の面を覆うように絶縁膜を形成し、該絶縁膜の表面側および前記半導体基板の他の面側を研磨して前記半導体基板を薄型化するとともに前記柱状電極の上面を露出させる工程を有することを特徴とする半導体パッケージの製造方法。

40

【請求項 2 0】

請求項 1 6 ～ 1 8 のいずれかに記載の発明において、外部電極は、前記半導体基板の他の面側に延出される再配線を形成し、該再配線上に形成することを特徴とする半導体パッケージの製造方法。

【請求項 2 1】

請求項 2 0 に記載の発明において、前記再配線の接続パッド部上に前記外部電極を形成する工程と、該外部電極を除いて前記再配線を含む前記半導体基板の他の面側を覆うように絶縁膜を形成する工程とを有することを特徴とする半導体パッケージの製造方法。

50

## 【請求項22】

請求項21に記載の発明において、前記外部電極上に半田ボールを形成する工程を有することを特徴とする半導体パッケージの製造方法。

## 【請求項23】

請求項16～18のいずれかに記載の発明において、前記デバイス領域は光電変換デバイス領域であることを特徴とする半導体パッケージの製造方法。

## 【請求項24】

請求項16～18に記載の発明において、前記支持基板はガラス基板であることを特徴とする半導体パッケージの製造方法。

## 【請求項25】

請求項24に記載の発明において、前記半導体基板と前記ガラス基板との間に透明接着層または透明封止膜を形成する工程を有することを特徴とする半導体パッケージの製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は半導体パッケージおよびその製造方法に関する。

## 【0002】

## 【従来の技術】

従来の半導体パッケージ、特に、主面側にCCD（電荷結合素子）またはトランジスタ等の光感応性素子が形成された半導体基板に関するものとしては、セラミック基板上に低融点ガラスを介し、リードフレームおよびウインドフレームが固着され、セラミック基板上にCCDロングチップが固定された後にCCDロングチップ上の電極と内部リード、凹部付の内部リード先端部とを金属細線により電氣的に接続し、熱硬化型樹脂を介してキャップを固定している（例えば、特許文献1参照。）。

また、EPROM、CCDおよび他の光ICデバイス用の集積回路ダイであって、金属化されたバイアが貫通する基板を有し、この集積回路ダイは、この基板の第1の表面に取着し、金属化されたバイアと電氣的に接続し、接着性ビートをこのダイの周りの基板に塗り、このビートが、ダイの側面、ダイの上側の第1の表面の周辺部、およびボンディングワイヤを覆い、透明な封入材料の層を、ビートで形成されたキャビティ内のダイに堆積させ、この封入材料を硬化し、パッケージの外側表面を形成しているものもある（例えば、特許文献2参照。）。

## 【0003】

## 【特許文献1】

特開平4-246852号公報（第1頁、図1）

## 【特許文献2】

特表2001-516956号公報（第1頁、図1）

## 【0004】

## 【発明が解決しようとする課題】

ところで、上記前段の従来の半導体パッケージでは、外部リードを備えているため、厚型化してしまうという問題があった。一方、上記後段の従来の半導体パッケージでは、金属化されたバイアが貫通する基板を有しているため、すなわち基板が両面配線構造でスルーホール導通部を有しているため、スルーホール導通部の形成が大変であり、特に、基板がガラス基板であると、スルーホール導通部の形成が極めて困難であるという問題があった。また、基板上にダイを1つずつ搭載する方法であるため生産性が低いものであった。

そこで、この発明は、スルーホール導通部を有せず、薄型化することができる半導体パッケージおよびその製造方法を提供することを目的とする。

また、この発明は、複数の半導体パッケージを一括して製造することができる半導体パッケージの製造方法を提供することを目的とする。

## 【0005】

## 【課題を解決するための手段】

請求項 1 に記載の発明は、一の面にデバイス領域を有するとともに該デバイス領域に接続される接続パッドを有する半導体基板と、該半導体基板の一の面側に設けられた支持基板と、前記半導体基板の他の面側に設けられた外部電極と、一部が前記半導体基板の周囲に延出され、前記接続パッドと前記外部電極とを電氣的に接続する接続手段とを具備することを特徴とするものである。

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記接続手段は前記半導体基板の他の面側に延出された再配線を含むことを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 に記載の発明において、前記接続手段は、一端部が前記接続パッドに接続され、他端部が前記半導体基板の周囲に延出された接続用配線を有することを特徴とするものである。

請求項 4 に記載の発明は、請求項 3 に記載の発明において、前記接続用配線はめっきにより形成された金属層を含むことを特徴とするものである。

請求項 5 に記載の発明は、請求項 3 に記載の発明において、前記接続用配線は前記半導体基板の一の面に密着する部分を有することを特徴とするものである。

請求項 6 に記載の発明は、請求項 3 に記載の発明において、前記接続用配線は前記支持基板に密着して形成されていることを特徴とするものである。

請求項 7 に記載の発明は、請求項 3 に記載の発明において、前記接続パッドと前記接続用配線との間に突起状の接続電極を有することを特徴とするものである。

請求項 8 に記載の発明は、請求項 3 に記載の発明において、前記半導体基板の周囲に延出された前記接続用配線を含む前記半導体基板の他の面と前記再配線との間に絶縁膜が設けられていることを特徴とするものである。

請求項 9 に記載の発明は、請求項 2 に記載の発明において、前記接続手段は、前記支持基板の前記半導体基板との対向面に設けられ、一端部が前記接続パッドに接続され、他端部が前記半導体基板の周囲に延出された接続用配線と、該接続用配線の他端部上に設けられた柱状電極とを有し、前記柱状電極に前記再配線が接続されていることを特徴とするものである。

請求項 10 に記載の発明は、請求項 9 に記載の発明において、前記半導体基板の周囲に延出された前記接続用配線および前記柱状電極を含む前記半導体基板の他の面と前記再配線との間に絶縁膜が設けられていることを特徴とするものである。

請求項 11 に記載の発明は、請求項 2 に記載の発明において、前記再配線の接続パッド部上に前記外部電極が設けられ、該外部電極を除いて前記再配線を含む前記半導体基板の他の面側を覆うように絶縁膜が設けられていることを特徴とするものである。

請求項 12 に記載の発明は、請求項 11 に記載の発明において、前記外部電極は柱状であり、該柱状の外部電極上に半田ボールが設けられていることを特徴とするものである。

請求項 13 に記載の発明は、請求項 1 に記載の発明において、前記デバイス領域は光電変換デバイス領域であることを特徴とするものである。

請求項 14 に記載の発明は、請求項 1 に記載の発明において、前記支持基板はガラス基板であることを特徴とするものである。

請求項 15 に記載の発明は、請求項 14 に記載の発明において、前記半導体基板と前記ガラス基板との間に透明接着層または透明封止膜が設けられていることを特徴とするものである。

請求項 16 に記載の発明は、一の面に複数のデバイス領域を有するとともに該各デバイス領域に接続されるそれぞれ複数の接続パッドを有するウエハ状態の半導体基板の一の面上に複数の接続用配線をその各一端部を対応する前記接続パッドに接続させて且つその各他端部が対応する前記接続パッドの外側に延出されるように形成する工程と、前記複数の接続用配線を含む前記半導体基板の一の面に支持基板を配置する工程と、前記デバイス領域間において少なくとも前記複数の接続用配線の各他端部に対応する部分における前記半導体基板を除去して前記複数の接続用配線の各他端部を露出させる工程と、前記各接続用電極の他端部に電氣的に接続される外部電極を形成する工程と、前記デバイス領域間にお

る前記支持基板を切断して前記外部電極を備えた前記半導体基板を有する半導体パッケージを複数個得る工程とを有することを特徴とするものである。

請求項 17 に記載の発明は、請求項 16 に記載の発明において、前記デバイス領域間において少なくとも前記複数の接続用配線の各他端部に対応する部分における前記半導体基板を除去する前に、前記半導体基板の他の面側を研磨して前記半導体基板を薄型化する工程を有することを特徴とするものである。

請求項 18 に記載の発明は、複数の半導体パッケージに対応するサイズの支持基板の一の面の複数の半導体基板搭載領域内の周辺部から該各半導体基板搭載領域の周囲にかけてそれぞれ接続用配線を形成するとともに前記各半導体基板搭載領域の周囲に形成された前記接続用配線上に柱状電極を形成する工程と、各々が前記支持基板との対向面にデバイス領域を有するとともに該デバイス領域の周囲に接続電極を有する複数の半導体基板を前記支持基板の複数の半導体基板搭載領域上にそれぞれ配置するとともに前記各半導体基板の接続電極に対応する前記支持基板の各半導体基板搭載領域内の周辺部に形成された前記各接続用配線に接続する工程と、前記各柱状電極に電氣的に接続される外部電極を形成する工程と、前記半導体基板間における前記支持基板を切断して前記外部電極を備えた前記半導体基板を有する半導体パッケージを複数個得る工程とを有することを特徴とするものである。

請求項 19 に記載の発明は、請求項 18 に記載の発明において、前記複数の半導体基板を前記支持基板の複数の半導体基板搭載領域上にそれぞれ配置した後に、前記柱状電極を含む前記半導体基板の他の面を覆うように絶縁膜を形成し、該絶縁膜の表面側および前記半導体基板の他の面側を研磨して前記半導体基板を薄型化するとともに前記柱状電極の上面を露出させる工程を有することを特徴とするものである。

請求項 20 に記載の発明は、請求項 16 ～ 18 のいずれかに記載の発明において、外部電極は、前記半導体基板の他の面側に延出される再配線を形成し、該再配線上に形成することを特徴とするものである。

請求項 21 に記載の発明は、請求項 20 に記載の発明において、前記再配線の接続パッド部上に前記外部電極を形成する工程と、該外部電極を除いて前記再配線を含む前記半導体基板の他の面側を覆うように絶縁膜を形成する工程とを有することを特徴とするものである。

請求項 22 に記載の発明は、請求項 21 に記載の発明において、前記外部電極上に半田ボールを形成する工程を有することを特徴とするものである。

請求項 23 に記載の発明は、請求項 16 ～ 18 のいずれかに記載の発明において、前記デバイス領域は光電変換デバイス領域であることを特徴とするものである。

請求項 24 に記載の発明は、請求項 16 ～ 18 に記載の発明において、前記支持基板はガラス基板であることを特徴とするものである。

請求項 25 に記載の発明は、請求項 24 に記載の発明において、前記半導体基板と前記ガラス基板との間に透明接着層または透明封止膜を形成する工程を有することを特徴とするものである。

そして、この発明によれば、一の面にデバイス領域を有するとともに該デバイス領域に接続される接続パッドを有する半導体基板の一の面側に支持基板を設け、他の面側に外部電極を設けているので、薄型化することができ、また接続パッドと外部電極とを電氣的に接続する接続手段の一部を半導体基板の周囲に延出させているので、スルーホール導通部を有しない構造とすることができる。また、複数の半導体基板に対して接続手段および外部電極の形成を一括して行うことができるので、生産性を向上することができる。

#### 【0006】

#### 【発明の実施の形態】

##### (第1実施形態)

図1はこの発明の第1実施形態としての半導体パッケージの断面図を示したものである。この半導体パッケージは、シリコン基板(半導体基板)1を備えている。シリコン基板1の下面中央部にはCCDやフォトダイオード、フォトランジスタ等の素子を含む光電変

換デバイス領域2が設けられている。

【0007】

シリコン基板1の下面周辺部にはアルミニウム系金属等からなる複数の接続パッド3が光電変換デバイス領域2に接続されて設けられている。接続パッド3の中央部を除くシリコン基板1の下面には酸化シリコン等からなる絶縁膜4が設けられている。接続パッド3の中央部は、絶縁膜4に形成された開口部5を介して露出されている。

【0008】

シリコン基板1の上面およびその周囲にはポリイミド等からなる絶縁膜6が設けられている。この場合、シリコン基板1の周囲に設けられた絶縁膜6の下面はシリコン基板1の下面に設けられた絶縁膜4の下面とほぼ面一となっている。

10

【0009】

絶縁膜4の開口部5を介して露出された接続パッド3の下面からその周囲における絶縁膜6の下面の所定の箇所に掛けて下地金属層7aおよび該下地金属層7a下に設けられた上層金属層7bからなる接続用配線7が設けられている。すなわち、接続用配線7の一端部はシリコン基板1の接続パッド3に接続され、他端部はシリコン基板1の周囲に延出されている。

【0010】

接続用配線7を含むシリコン基板1および絶縁膜6の下面には透明なエポキシ系樹脂等からなる透明接着層8を介して支持基板としてのガラス基板9が設けられている。したがって、ガラス基板9のサイズはシリコン基板1のサイズよりもやや大きくなっている。

20

【0011】

絶縁膜6の接続用配線7の他端部に対応する部分には開口部10が設けられている。開口部10を介して露出された接続用配線7の他端部上面から絶縁膜6の上面の所定の箇所に掛けて下地金属層11aおよび該下地金属層11a上に設けられた上層金属層11bからなる再配線11が設けられている。

【0012】

再配線11の接続パッド部上面には柱状電極（外部電極）12が設けられている。再配線11を含む絶縁膜6の上面にはエポキシ系樹脂等からなる封止膜（絶縁膜）13がその上面が柱状電極12の上面とほぼ面一となるように設けられている。柱状電極12の上面には半田ボール14が設けられている。

30

【0013】

次に、この半導体パッケージの製造方法の一例について説明する。まず、図2に示すように、ウエハ状態のシリコン基板（半導体基板）1上に複数の光電変換デバイス領域2、アルミニウムからなる接続パッド3および酸化シリコンからなる絶縁膜4が設けられ、接続パッド3の中央部が絶縁膜4に形成された開口部5を介して露出されたものを用意する。この場合、シリコン基板1の厚さは図1に示す場合よりもある程度厚くなっている。

【0014】

次に、図3に示すように、開口部5を介して露出された接続パッド3の上面を含む絶縁膜4の上面全体に下地金属層7aを形成する。この場合、下地金属層7aは、無電解メッキにより形成された銅層のみからなっているが、スパッタにより形成された銅層のみであってもよく、またスパッタにより形成されたチタン等の薄膜層上にスパッタにより銅層を形成したものであってもよい。これは、後述する下地金属層11aの場合も同様である。

40

【0015】

次に、下地金属層7aの上面にメッキレジスト膜21をパターン形成する。この場合、接続用配線7形成領域に対応する部分におけるメッキレジスト膜21には開口部22が形成されている。次に、下地金属層7aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜21の開口部22内の下地金属層7aの上面に上層金属層7bを形成する。

【0016】

次に、メッキレジスト膜21を剥離し、次いで、上層金属層7bをマスクとして下地金属

50

層7 aの不要な部分をエッチングして除去すると、図4に示すように、上層金属層7 b下にのみ下地金属層7 aが残存され、この残存された下地金属層7 aおよびその上面全体に形成された上層金属層7 bにより接続用配線7が形成される。

#### 【0017】

次に、図5に示すように、接続用配線7を含む絶縁膜4の上面全体に透明なエポキシ系樹脂等からなる透明接着層8を介してガラス基板9を貼り付ける。次に、図5に示すものの上下を逆転し、次いで、図6に示すように、シリコン基板1の光電変換デバイス領域2形成面とは反対側の上面を適宜に研磨し、シリコン基板1を薄型化する。例えば、シリコン基板1の厚さが50  $\mu$ m程度となるようにする。

#### 【0018】

次に、ウエハサイズのシリコン基板1のうちの図1に示すシリコン基板1に対応しない不要な部分およびその下面の絶縁膜4を、図7に示すように、ダイシングやエッチング等により除去する。したがって、この状態では、シリコン基板1の周囲に配置された接続用配線7および透明接着層8の上面は露出され、この露出面は絶縁膜4の下面とほぼ面一となる。

#### 【0019】

次に、図8に示すように、シリコン基板1の周囲に配置された接続用配線7および透明接着層8を含むシリコン基板1の上面全体に感光性ポリイミド等からなる絶縁膜6をパターン形成する。この場合、絶縁膜6の接続用配線7の他端部に対応する部分には開口部10が形成されている。

#### 【0020】

次に、図9に示すように、開口部10を介して露出された接続用配線7の他端部を含む絶縁膜6の上面全体に下地金属層11 aを無電解メッキにより形成する。次に、下地金属層11 aの上面にメッキレジスト膜23をパターン形成する。この場合、再配線11形成領域に対応する部分におけるメッキレジスト膜23には開口部24が形成されている。次に、下地金属層11 aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜23の開口部24内の下地金属層11 aの上面に上層金属層11 bを形成する。次に、メッキレジスト膜23を剥離する。

#### 【0021】

次に、図10に示すように、上層金属層7 bを含む下地金属層7 aの上面にメッキレジスト膜25をパターン形成する。この場合、柱状電極12形成領域に対応する部分におけるメッキレジスト膜25には開口部26が形成されている。次に、下地金属層11 aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜25の開口部26内の上層金属層11 bの接続パッド部上面に柱状電極12を形成する。

#### 【0022】

次に、メッキレジスト膜25を剥離し、次いで、柱状電極12および上層金属層11 bをマスクとして下地金属層11 aの不要な部分をエッチングして除去すると、図11に示すように、上層金属層11 b下にのみ下地金属層11 aが残存され、この残存された下地金属層11 aおよびその上面全体に形成された上層金属層11 bにより再配線11が形成される。

#### 【0023】

次に、図12に示すように、柱状電極12および再配線11を含む絶縁膜6の上面全体にエポキシ系樹脂からなる封止膜13をその厚さが柱状電極12の高さよりも厚くなるように形成する。したがって、この状態では、柱状電極12の上面は封止膜13によって覆われている。次に、封止膜13および柱状電極12の上面側を適宜に研磨し、図13に示すように、柱状電極12の上面を露出させ、且つ、この露出された柱状電極12の上面を含む封止膜13の上面を平坦化する。

#### 【0024】

次に、図14に示すように、柱状電極12の上面に半田ボール14を形成する。この場合、柱状電極12と半田ボール14の接合強度を確保するため、半田ボール14を形成する

10

20

30

40

50

前に、柱状電極 1 2 の表面に生じたばりをエッチングにより除去したり、酸化防止のためのめっき処理、あるいはフラックス塗布等の前処理を行ってもよい。この前処理により柱状電極 1 2 の上面と封止膜 1 3 の上面とは、多少、凹凸を生じたとしても、ほぼ同一面を維持することができる。

#### 【0025】

次に、図 1 5 に示すように、互いに隣接するシリコン基板 1 間において、封止膜 1 3、絶縁膜 6、透明接着層 8 およびガラス基板 9 を切断すると、図 1 に示す半導体パッケージが複数個得られる。

#### 【0026】

このようにして得られた半導体パッケージでは、シリコン基板 1 の光電変換デバイス 2 形成面に透明接着層 8 を介して外装基板としてのガラス基板 9 を設け、シリコン基板 1 の光電変換デバイス 2 形成面とは反対側の面に絶縁膜 6、再配線 1 1、柱状電極 1 2、封止膜 1 3 および半田ボール 1 4 を設けているので、外部リードを有する場合と比較して、薄型化することができる。

#### 【0027】

また、シリコン基板 1 の接続パッド 3 と再配線 1 1 とを電氣的に接続する接続用配線 7 の他端部をシリコン基板 1 の周囲に設けているので、スルーホール導通部を有しない構造とすることができる。

#### 【0028】

また、柱状電極 1 2 を有しているので、この半導体パッケージを半田ボール 1 4 を介して回路基板（図示せず）上に搭載した後において、シリコン基板 1 と回路基板との熱膨張係数差に起因する応力を柱状電極 1 2 である程度緩和することができる。

#### 【0029】

さらに、上記製造方法では、ウエハ状態のシリコン基板 1 に対して、接続用配線 7 の形成、透明接着層 8 を介してのガラス基板 9 の貼り付け、絶縁膜 6、再配線 1 1、柱状電極 1 2、封止膜 1 3 および半田ボール 1 4 の形成を一括して行い、その後に分断して複数個の半導体パッケージを得ているので、生産性を向上することができる。

#### 【0030】

なお、上述の第 1 実施形態では、光電変換デバイス領域 2 を有するシリコン基板 1 に設けられた複数の接続パッド 3 に接続される接続用配線 7 をシリコン基板 1 をベース部材として形成するものであったが、予めガラス基板 9 に接続用配線 7 を形成しておき、該接続用配線 7 に光電変換デバイス領域 2 を有するシリコン基板 1 に設けられた複数の接続パッド 3 を接続することもできる。以下、このような方法の一実施形態を示す。

#### 【0031】

##### （第 2 実施形態）

図 1 6 はこの発明の第 2 実施形態としての半導体パッケージの断面図を示したものである。この半導体パッケージの主たる特徴は、シリコン基板 1 の接続パッド 3 上に設けられた下地金属層 3 0 上に設けられたバンプ電極（接続電極）3 1 をガラス基板 9 上に設けられた下地金属層 7 a および上層金属層 7 b からなる接続用配線 7 の一端部上に接続し、シリコン基板 1 とガラス基板 9 との間に透明なエポキシ系樹脂等からなる透明封止膜 3 2 を設け、接続用配線 7 の他端部上に設けられた柱状電極 3 3 上に下地金属層 1 1 a および上層金属層 1 1 b からなる再配線 1 1 を接続し、シリコン基板 1 の周囲における接続用配線 7 および柱状電極 3 3 をエポキシ系樹脂等からなる封止膜（絶縁膜）3 4 で覆ったことである。

#### 【0032】

次に、この半導体パッケージの製造方法の一例について説明する。まず図 1 7 に示すように、複数の半導体パッケージに対応するサイズ、好適な一実施例をあげれば、第 1 実施形態と同様、ウエハの大きさに対応するサイズのガラス基板 9 の上面に、それぞれ下地金属層 7 a および上層金属層 7 b からなる接続用配線 7 を、上記ウエハに設けられた光電変換デバイス領域 2 に接続された各接続パッド 3 に対応する位置からその周縁部に延出される

ように形成し、引き続いて、各接続用配線 7 の周縁部側の一端部上に柱状電極 3 3 を形成する。

#### 【0033】

接続用配線 7 および柱状電極 3 3 の形成方法は、図 1 1 に関して説明した方法が適用できる。図 1 7 において、柱状電極 3 3 が形成された接続用電極 7 の各 1 組の間には、光電変換デバイス領域 2 に接続された各接続パッド 3 が形成されたシリコン基板が搭載されるシリコン基板搭載領域が設けられる。

#### 【0034】

次に、図 1 8 に示すように、ガラス基板 9 の複数の半導体基板搭載領域上にそれぞれシリコン基板 1 を搭載して各接続用配線 7 に接続する。但し、この場合、シリコン基板 1 上には、光電変換デバイス領域 2、各接続パッド 3、絶縁膜 4 の他、各接続パッド 4 上に下地金属層 3 0 およびバンプ電極 3 1 が形成されている。下地金属層 3 0 およびバンプ電極 3 1 は既に知られた方法で形成すればよい。

#### 【0035】

そして、シリコン基板 1 の下面周辺部に設けられたバンプ電極 3 1 をシリコン基板搭載領域内の周辺部に形成された接続用配線 7 上にボンディングして接続する。この場合も、シリコン基板 1 の厚さは図 1 6 に示す場合よりもある程度厚くなっている。また、この場合には、光電変換デバイス領域 2 等を備えたシリコン基板 1 として良品のみを用いる。次に、シリコン基板 1 とガラス基板 9 との間に透明なエポキシ系樹脂からなる封止膜 3 2 を充填して形成する。

#### 【0036】

次に、図 1 9 に示すように、シリコン基板 1、接続用配線 7 および柱状電極 3 3 を含むガラス基板 9 の上面全体をエポキシ系樹脂からなる封止膜 3 4 で覆う。次に、封止膜 3 4、シリコン基板 1 および柱状電極 3 3 の上面側を適宜に研磨し、図 2 0 に示すように、シリコン基板 1 および柱状電極 3 3 の上面を露出させるとともにシリコン基板 1 を薄型化し、且つ、露出されたシリコン基板 1 および柱状電極 3 3 の上面を含む封止膜 3 4 の上面を平坦化する。

#### 【0037】

次に、図 2 1 に示すように、シリコン基板 1、柱状電極 3 3 および封止膜 3 4 の上面全体に感光性ポリイミド等からなる絶縁膜 6 をパターン形成する。この場合、絶縁膜 6 の柱状電極 3 3 の上面中央部に対応する部分には開口部 1 0 が形成されている。

#### 【0038】

次に、図 9 ～図 1 4 にそれぞれ示す製造工程を経ることにより、図 2 2 に示すように、下地金属層 1 1 a および上層金属層 1 1 b からなる再配線 1 1、柱状電極 1 2、封止膜 1 3 および半田ボール 1 4 を形成する。この場合、再配線 1 1 は開口部 1 0 を介して柱状電極 3 3 の上面に接続される。次に、図 2 3 に示すように、互いに隣接するシリコン基板 1 間において、封止膜 1 3、絶縁膜 6、封止膜 3 4 およびガラス基板 9 を切断すると、図 1 6 に示す半導体パッケージが複数個得られる。

#### 【0039】

このようにして得られた半導体パッケージでは、シリコン基板 1 の光電変換デバイス 2 形成面に透明封止膜 3 2 を介して外装基板としてのガラス基板 9 を設け、シリコン基板 1 の光電変換デバイス 2 形成面とは反対側の面に絶縁膜 6、再配線 1 1、柱状電極 1 2、封止膜 1 3 および半田ボール 1 4 を設けているので、外部リードを有する場合と比較して、薄型化することができる。

#### 【0040】

また、シリコン基板 1 の接続パッド 3 と再配線 1 1 とを電氣的に接続する接続用配線 7 の一部および柱状電極 3 3 をシリコン基板 1 の周囲に設けているので、支持部材にスルーホール導通部を有しない構造とすることができる。

#### 【0041】

また、柱状電極 1 2 を有しているので、この半導体パッケージを半田ボール 1 4 を介して



回路基板（図示せず）上に搭載した後において、シリコン基板 1 と回路基板との熱膨張係数差に起因する応力を柱状電極 1 2 である程度緩和することができる。

【0042】

さらに、上記製造方法では、複数の半導体パッケージに対応するサイズのガラス基板 9 に対して、接続用配線 7 および柱状電極 3 3 の形成、シリコン基板 1 の搭載、透明封止膜 3 2、封止膜 3 4、絶縁膜 6、再配線 1 1、柱状電極 1 2、封止膜 1 3 および半田ボール 1 4 の形成を一括して行い、その後に分断して複数個の半導体パッケージを得ているので、生産性を向上することができる。

【0043】

（その他の実施形態）

上記各実施形態では、再配線 1 1 の接続パッド部上に設けられた柱状電極 1 2 上に半田ボール 1 4 を設けているが、これに限定されるものではない。例えば、図 2 4 に示すこの発明の他の実施形態のように、再配線 1 1 を含む絶縁膜 6 の上面全体に、再配線 1 1 の接続パッド部に対応する部分に開口部 4 1 を有する絶縁膜 4 2 をパターン形成し、開口部 4 2 内およびその上に半田ボール 1 4 を再配線 1 1 の接続パッド部に接続させて形成するようにしてもよい。

【0044】

また、上記各実施形態では、半導体基板に光電変換デバイスが形成されているものとしたが、光電変換デバイスに限らず、メモリ用や制御用の集積回路、あるいはセンサ素子等が形成されているデバイスにも適用可能である。

【0045】

【発明の効果】

以上説明したように、この発明によれば、一の面にデバイス領域を有するとともに該デバイス領域に接続される接続パッドを有する半導体基板の一の面側に支持基板を設け、他の面側に外部電極を設けているので、薄型化することができ、また接続パッドと外部電極とを電氣的に接続する接続手段の一部を半導体基板の周囲に延出させているので、スルーホール導通部を有しない構造とすることができる。また、複数の半導体基板に対して接続手段および外部電極の形成を一括して行うことができるので、生産性を向上することができる。

【図面の簡単な説明】

【図 1】 この発明の第 1 実施形態としての半導体パッケージの断面図。

【図 2】 図 1 に示す半導体パッケージの製造方法の一例において、当初用意したものの断面図。

【図 3】 図 2 に続く製造工程の断面図。

【図 4】 図 3 に続く製造工程の断面図。

【図 5】 図 4 に続く製造工程の断面図。

【図 6】 図 5 に続く製造工程の断面図。

【図 7】 図 6 に続く製造工程の断面図。

【図 8】 図 7 に続く製造工程の断面図。

【図 9】 図 8 に続く製造工程の断面図。

【図 10】 図 9 に続く製造工程の断面図。

【図 11】 図 10 に続く製造工程の断面図。

【図 12】 図 11 に続く製造工程の断面図。

【図 13】 図 12 に続く製造工程の断面図。

【図 14】 図 13 に続く製造工程の断面図。

【図 15】 図 14 に続く製造工程の断面図。

【図 16】 この発明の第 2 実施形態としての半導体パッケージの断面図。

【図 17】 図 16 に示す半導体パッケージの製造方法の一例において、当初の製造工程の断面図。

【図 18】 図 17 に続く製造工程の断面図。

【図19】図18に続く製造工程の断面図。

【図20】図19に続く製造工程の断面図。

【図21】図20に続く製造工程の断面図。

【図22】図21に続く製造工程の断面図。

【図23】図22に続く製造工程の断面図。

【図24】この発明の他の実施形態としての半導体パッケージの断面図。

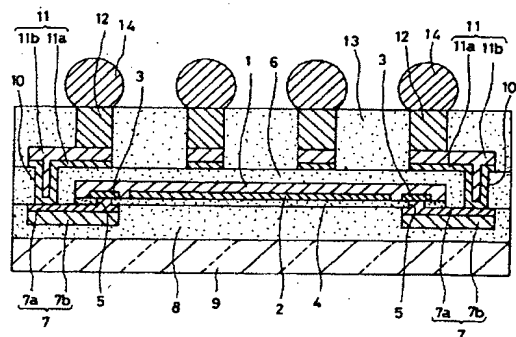
【符号の説明】

- 1 シリコン基板
- 2 光電変換デバイス領域
- 3 接続パッド
- 4 絶縁膜
- 6 絶縁膜
- 7 接続用配線
- 8 透明接着層
- 9 ガラス基板
- 11 再配線
- 12 柱状電極
- 13 封止膜
- 14 半田ボール
- 31 バンプ電極
- 32 封止膜
- 33 柱状電極
- 34 封止膜

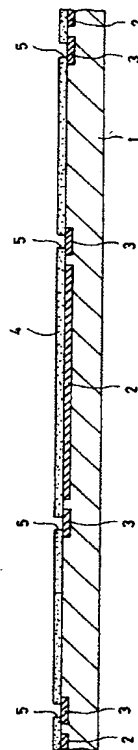
10

20

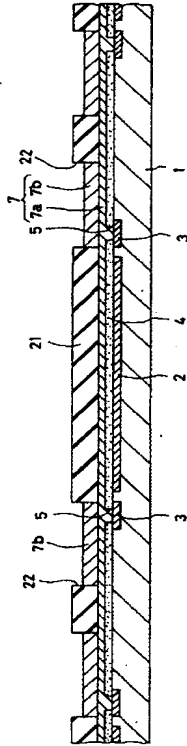
【図1】



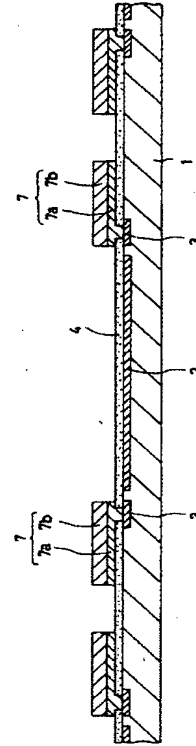
【図2】



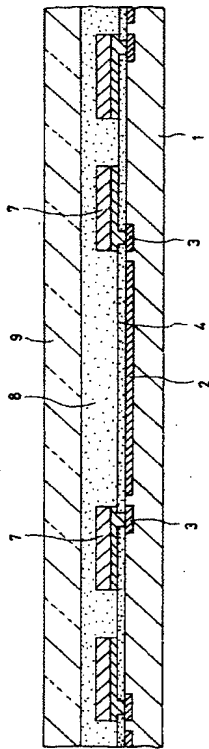
【図 3】



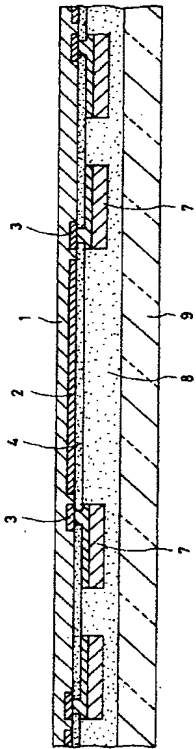
【図 4】



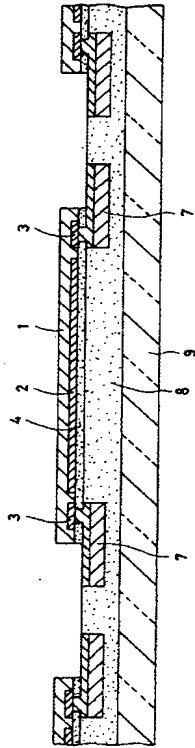
【図 5】



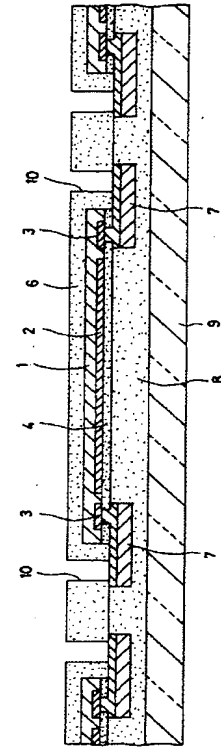
【図 6】



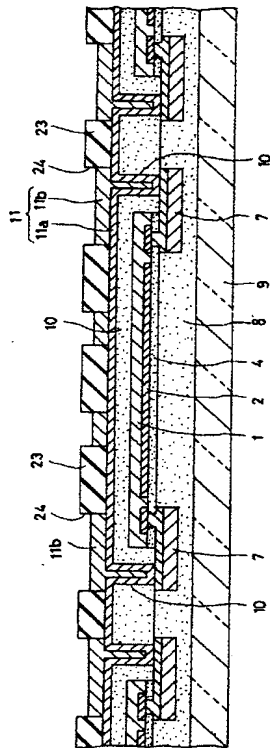
【図 7】



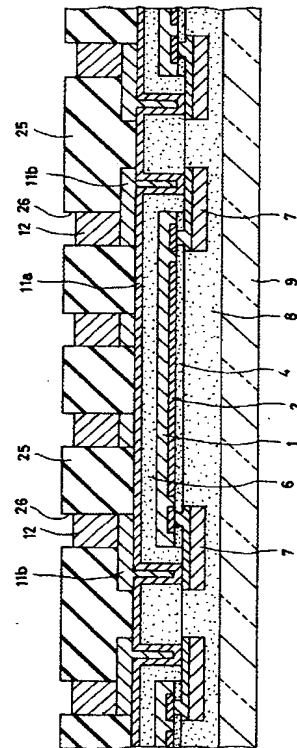
【図 8】



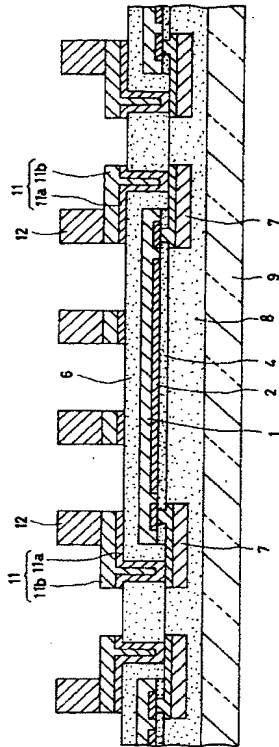
【図 9】



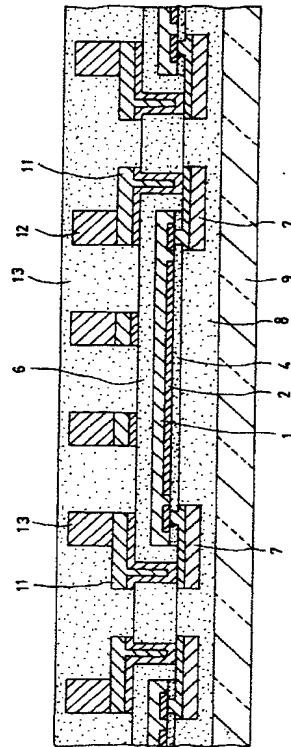
【図 10】



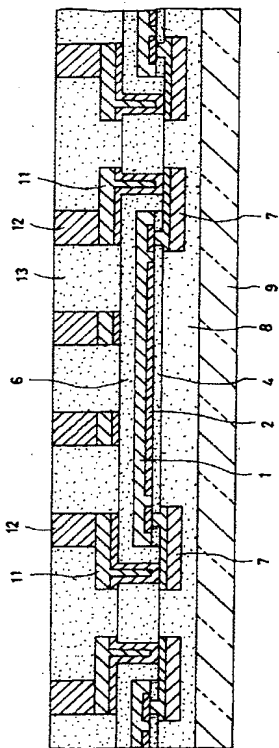
【図 1 1】



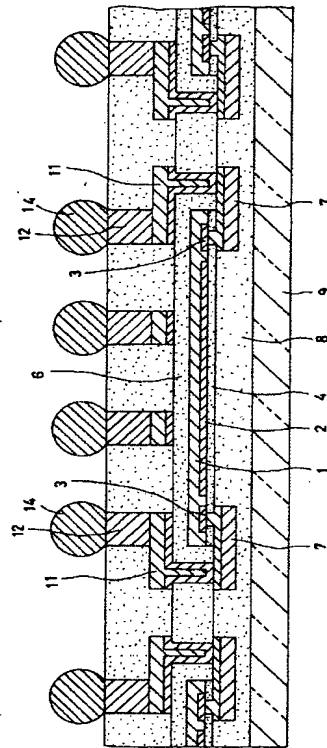
【図 1 2】



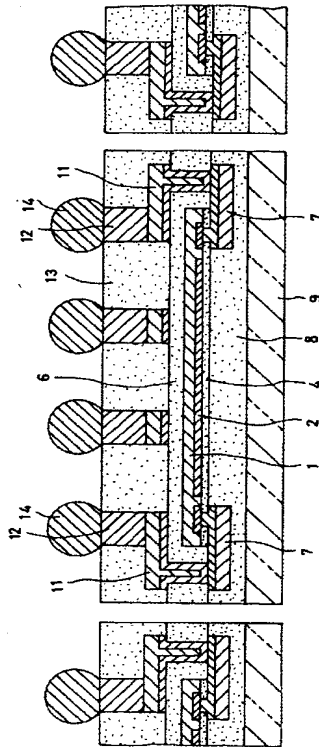
【図 1 3】



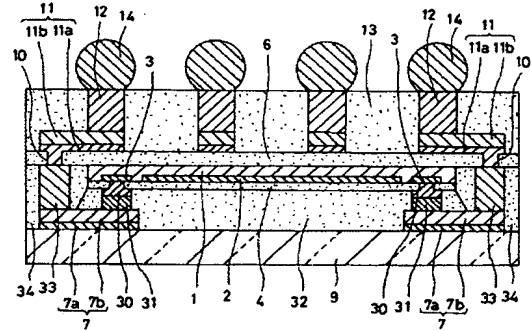
【図 1 4】



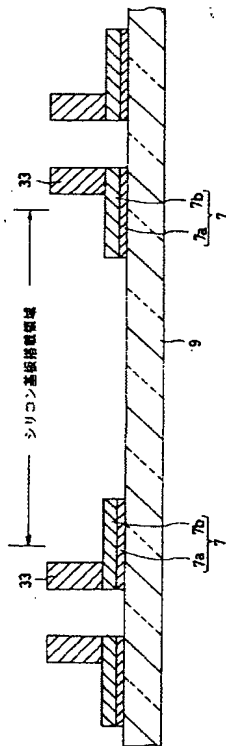
【図 15】



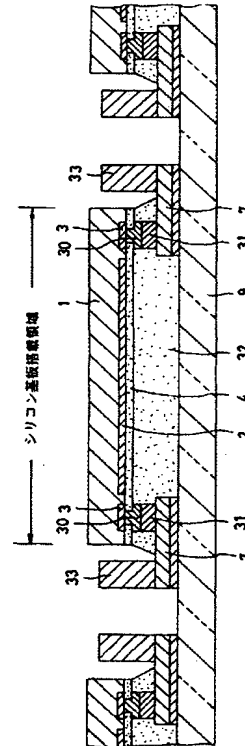
【図 16】



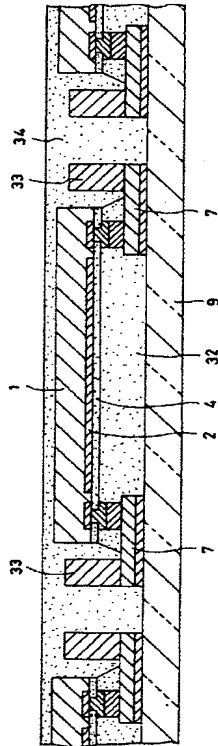
【図 17】



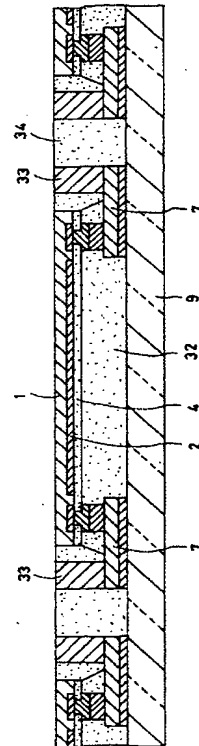
【図 18】



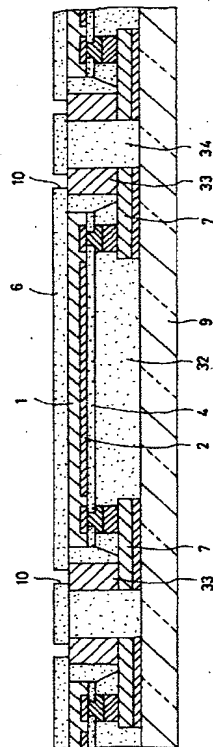
【図 19】



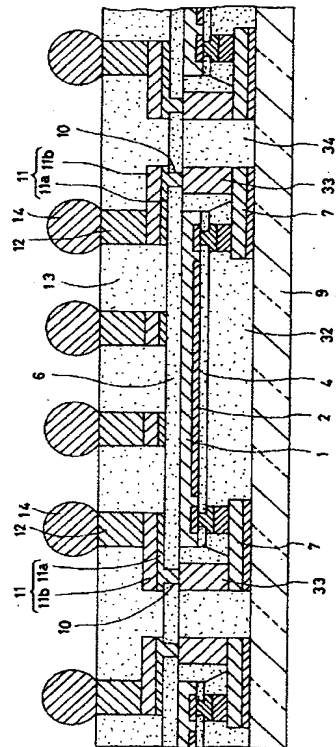
【図 20】



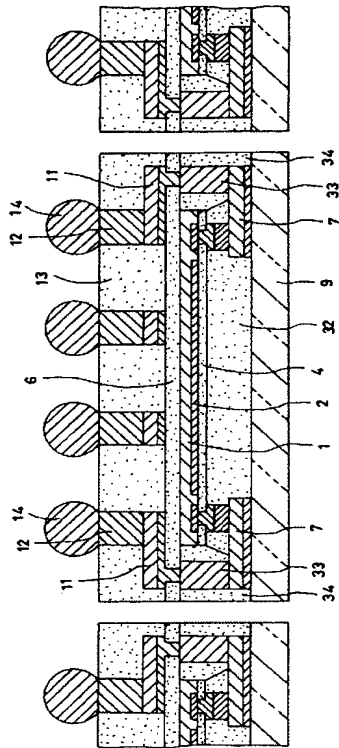
【図 21】



【図 22】



【図 2 3】



【図 2 4】

